

35.C14800

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:

TOSHIYUKI SEKIYA ET AL.

Application No.: 09/666,281

Filed: September 20, 2000

For: RECORDING CONTROL

APPARATUS AND RECORDING

CONTROL METHOD

Examiner: NYA

Group Art Unit: NYA

December 27, 2000



Commissioner for Patents
Washington, D.C. 20231

CLAIM TO PRIORITY

Sir:

Applicants hereby claim priority under the International Convention and all rights to which they are entitled under 35 U.S.C. § 119 based upon the following French Priority Application:

11-265518 filed September 20, 1999

A certified copy of the priority document is enclosed.

Applicants' undersigned attorney may be reached in

our New York office by telephone at (212) 218-2100. All correspondence should continue to be directed to our address given below.

Respectfully submitted,



Attorney for Applicants

Registration No. 25,823

FITZPATRICK, CELLA, HARPER & SCINTO
30 Rockefeller Plaza
New York, New York 10112-3801
Facsimile: (212) 218-2200

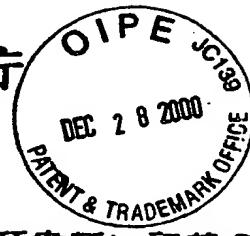
NY_MAIN 135534 v 1

09/666.271

10/14800

shi

日本特許庁
PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

1999年 9月20日

出願番号
Application Number:

平成11年特許願第265518号

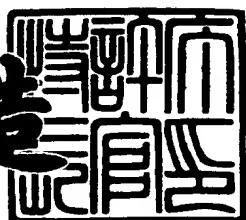
出願人
Applicant (s):

キヤノン株式会社

2000年10月13日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3084295

【書類名】 特許願
【整理番号】 4036145
【提出日】 平成11年 9月20日
【あて先】 特許庁長官 殿
【国際特許分類】 G03G 15/00
【発明の名称】 記録装置および記録方法
【請求項の数】 15
【発明者】
【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
【氏名】 関谷 利幸
【発明者】
【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
【氏名】 白石 光生
【特許出願人】
【識別番号】 000001007
【氏名又は名称】 キヤノン株式会社
【代理人】
【識別番号】 100077481
【弁理士】
【氏名又は名称】 谷 義一
【選任した代理人】
【識別番号】 100088915
【弁理士】
【氏名又は名称】 阿部 和夫
【手数料の表示】
【予納台帳番号】 013424
【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9703598
【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 記録装置および記録方法

【特許請求の範囲】

【請求項1】 記録ヘッドを用いて記録媒体に記録を行う記録装置であって

前記記録ヘッドは、複数個の記録素子が所定の方向に沿って1列に配列された記録素子アレイを少なくとも1つ有し、

前記記録素子アレイを構成する各記録素子の記録駆動特性を画像データの画素単位で補正する画素補正データを含み、該画素補正データが前記画像データの複数ライン分に対応して構成された駆動補正テーブルと、

前記複数ライン分の画素補正データからなる駆動補正テーブルに基づいて、前記記録素子アレイの各記録素子の記録駆動時間を画素単位で変調する駆動制御手段と

を具えたことを特徴とする記録装置。

【請求項2】 前記駆動制御手段は、

前記複数ライン分の画素補正データからなる駆動補正テーブルを記憶する補正メモリと、

前記補正メモリに記憶された前記画素補正データの補正画素番号を指定する補正画素指定手段と、

前記補正メモリに記憶された前記画素補正データの補正列を指定する補正列指定手段と、

前記補正画素番号および前記補正列が指定された各ライン毎の画素補正データを用いて、前記記録素子アレイの各記録素子の記録駆動時間を画素単位で算出する駆動時間算出手段と

を含むことを特徴とする請求項1記載の記録装置。

【請求項3】 記録媒体の移動方向に対して直交する主走査方向に配置された記録ヘッドを用いて電子写真式によって記録を行う記録装置であって、

前記記録ヘッドは、複数個の記録素子が前記主走査方向に沿って1列に配列された記録素子アレイを少なくとも1つ有し、

前記記録素子アレイを構成する各記録素子の発光特性を画像データの画素単位で補正する画素補正データを含み、該画素補正データが前記画像データの複数ライン分に対応して構成された光量補正テーブルと、

前記複数ライン分の画素補正データからなる光量補正テーブルに基づいて、前記記録素子アレイの各記録素子の発光駆動時間を画素単位で変調する駆動制御手段と

を具えたことを特徴とする記録装置。

【請求項4】 前記駆動制御手段は、

前記複数ライン分の画素補正データからなる光量補正テーブルを記憶する補正メモリと、

前記補正メモリに記憶された前記画素補正データの補正画素番号を指定する補正画素指定手段と、

前記補正メモリに記憶された前記画素補正データの補正列を指定する補正列指定手段と、

前記補正画素番号および前記補正列が指定された各ライン毎の画素補正データに基づいて、前記記録素子アレイの各記録素子の発光駆動時間を画素単位で算出する駆動時間算出手段と

を含むことを特徴とする請求項3記載の記録装置。

【請求項5】 前記記録素子アレイは、複数個のLED素子が前記主走査方向に沿って1列に配列されたLEDアレイが少なくとも1つ設けられたことを特徴とする請求項3又は4記載の記録装置。

【請求項6】 複数個の記録素子が所定の方向に沿って1列に配列された記録素子アレイが少なくとも1つ設けられた記録ヘッドを用いて、記録媒体に記録を行う記録方法であって、

前記記録素子アレイを構成する各記録素子の記録駆動特性を画像データの画素単位で補正する画素補正データを含み、該画素補正データが前記画像データの複数ライン分に対応して構成された駆動補正テーブルを作成する工程と、

前記複数ライン分の画素補正データからなる駆動補正テーブルに基づいて、前記記録素子アレイの各記録素子の記録駆動時間を画素単位で変調する駆動制御工

程と

を具えたことを特徴とする記録方法。

【請求項7】 前記駆動制御工程は、

前記複数ライン分の画素補正データからなる駆動補正テーブルを補正メモリに記憶する工程と、

前記補正メモリに記憶された前記画素補正データの補正画素番号を指定する補正画素指定工程と、

前記補正メモリに記憶された前記画素補正データの補正列を指定する補正列指定工程と、

前記補正画素番号および前記補正列が指定された各ライン毎の画素補正データに基づいて、前記記録素子アレイの各記録素子の記録駆動時間を画素単位で算出する駆動時間算出工程と

を含むことを特徴とする請求項6記載の記録方法。

【請求項8】 複数個の記録素子が主走査方向に沿って1列に配列された記録素子アレイが少なくとも1つ設けられた記録ヘッドを用いて、前記主走査方向と直交する方向に移動する記録媒体に電子写真方式によって記録を行う記録方法であって、

前記記録素子アレイを構成する各記録素子の発光特性を画像データの画素単位で補正する画素補正データを含み、該画素補正データが前記画像データの複数ライン分に対応して構成された光量補正テーブルを作成する工程と、

前記複数ライン分の画素補正データからなる光量補正テーブルに基づいて、前記記録素子アレイの各記録素子の発光駆動時間を画素単位で変調する駆動制御工程と

を具えたことを特徴とする記録方法。

【請求項9】 前記駆動制御工程は、

前記複数ライン分の画素補正データからなる光量補正テーブルを補正メモリに記憶する工程と、

前記補正メモリに記憶された前記画素補正データの補正画素番号を指定する補正画素指定工程と、

前記補正メモリに記憶された前記画素補正データの補正列を指定する補正列指定工程と、

前記補正画素番号および前記補正列が指定された各ライン毎の画素補正データに基づいて、前記記録素子アレイの各記録素子の発光駆動時間を画素単位で算出する駆動時間算出工程と

を含むことを特徴とする請求項8記載の記録方法。

【請求項10】 前記記録素子アレイは、複数個のLED素子が前記主走査方向に沿って1列に配列されたLEDアレイが少なくとも1つ設けられたことを特徴とする請求項8又は9記載の記録方法。

【請求項11】 複数個の記録素子が所定の方向に沿って1列に配列された記録素子アレイが少なくとも1つ設けられた記録ヘッドを用い、コンピュータによって記録媒体に記録制御を行うためのプログラムを記録した媒体であって、

該制御プログラムはコンピュータに、

前記記録素子アレイを構成する各記録素子の記録駆動特性を画像データの画素単位で補正する画素補正データを含み、該画素補正データが前記画像データの複数ライン分に対応して構成された駆動補正テーブルを作成させ、

前記複数ライン分の画素補正データからなる駆動補正テーブルに基づいて、前記記録素子アレイの各記録素子の記録駆動時間を画素単位で変調させることを特徴とする記録制御プログラムを記録した媒体。

【請求項12】 前記複数ライン分の画素補正データからなる駆動補正テーブルを補正メモリに記憶させ、

前記補正メモリに記憶させた前記画素補正データの補正画素番号を指定させ、

前記補正メモリに記憶させた前記画素補正データの補正列を指定させ、

前記補正画素番号および前記補正列が指定された各ライン毎の画素補正データに基づいて、前記記録素子アレイの各記録素子の記録駆動時間を画素単位で算出させることを特徴とする請求項11記載の記録制御プログラムを記録した媒体。

【請求項13】 複数個の記録素子が主走査方向に沿って1列に配列された記録素子アレイが少なくとも1つ設けられた記録ヘッドを用いて、コンピュータによって前記主走査方向と直交する方向に移動する記録媒体に電子写真方式によ

って記録制御を行うためのプログラムを記録した媒体であって、

該制御プログラムはコンピュータに、

前記記録素子アレイを構成する各記録素子の発光特性を画像データの画素単位で補正する画素補正データを含み、該画素補正データが前記画像データの複数ライン分に対応して構成された光量補正テーブルを作成させ、

前記複数ライン分の画素補正データからなる光量補正テーブルに基づいて、前記記録素子アレイの各記録素子の発光駆動時間を画素単位で変調させることを特徴とする記録制御プログラムを記録した媒体。

【請求項14】 前記複数ライン分の画素補正データからなる光量補正テーブルを補正メモリに記憶させ、

前記補正メモリに記憶させた前記画素補正データの補正画素番号を指定させ、

前記補正メモリに記憶させた前記画素補正データの補正列を指定させ、

前記補正画素番号および前記補正列が指定された各ライン毎の画素補正データに基づいて、前記記録素子アレイの各記録素子の発光駆動時間を画素単位で算出させることを特徴とする請求項13記載の記録制御プログラムを記録した媒体。

【請求項15】 前記記録素子アレイは、複数個のLED素子が前記主走査方向に沿って1列に配列されたLEDアレイが少なくとも1つ設けられたことを特徴とする請求項13又は14記載の記録制御プログラムを記録した媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複数の記録素子がライン状に形成された記録素子アレイを用いて記録媒体に記録を行う記録装置および記録方法に関する。

【0002】

【従来の技術】

従来、記録ヘッドを用いて記録媒体に画像を形成する記録装置として、例えば、記録ヘッドとしてLEDアレイを用いて、電子写真方式によって感光体上に潜像を作成して記録を行う装置がある。

【0003】

このLEDアレイには、自己走査型LEDアレイ（以下、SLEDアレイという）がある。このSLEDアレイは、特開平1-238962号公報、特開平2-208067号公報、特開平2-212170号公報、特開平3-20457号公報、特開平3-194978号公報、特開平4-5872号公報、特開平4-23367号公報、特開平4-296579号公報、特開平5-84971号公報、ジャパンハードコピー'91（A-17）駆動回路を集積した光プリンタ用発光素子アレイの提案、電子情報通信学会('90.3.5)PNPNサイリスタ構造を用いた自己走査型発光素子（SLED）の提案等において紹介されており、記録用発光素子として注目されている。

【0004】

図13は、SLEDアレイの1例を示す。図14は、SLEDアレイを駆動制御するための各種信号のタイミングを示す。ここでは、全素子を点灯する場合を例に挙げて説明する。

【0005】

図13において、VGAは、SLEDアレイの電源電圧に当たり、 ΦS にカスケードに接続されているダイオードDに抵抗 r を介して接続されている。

【0006】

SLEDアレイは、転送用サイリスタD1'～D5'がアレイ状に配列したものと、発光用サイリスタD1～D5がアレイ状に配列されたものとからなる。転送用および発光用サイリスタのゲートは接続され、1番目のサイリスタのゲートは ΦS （スタートパルス）の信号入力部に接続され、2番目のサイリスタのゲートは ΦS の端子に接続されたダイオードDのカソードに接続され、3番目のサイリスタのゲートは次のダイオードのカソードに接続され、というようにして構成されている。

【0007】

図14のタイミングチャートに従って、転送および発光について説明する。

【0008】

転送のスタートは、 ΦS を0Vから5Vに変化させることによって始まる。 Φ

S が5Vになることにより、 $V_a = 5V$, $V_b = 3.7V$ (ダイオードの順方向電圧降下を1.3Vとする), $V_c = 2.4V$, $V_d = 1.1V$, V_e 以降は0Vとなり、転送用サイリスタD1' とD2' のゲート信号0Vからそれぞれ5V, 3.7Vと変化する。

【0009】

この状態で Φ_1 を5Vから0Vにすることにより、D1' の転送用サイリスタのそれぞれの電位はアノード: 5V、カソード: 0V、ゲート: 3.7Vとなり、サイリスタのON条件となり、転送用サイリスタD1' がオン(ON)する状態で Φ_S を0Vに変えてもサイリスタD1' がONしているため、 $V_a \approx 5V$ となる (理由: Φ_S は抵抗(図示せず)を介してパルスが印加されている。サイリスタはONすると、アノードとゲートとの間の電位がほぼ等しくなる。)。このため、 Φ_S を0Vにしても1番目のサイリスタのON条件が保持され、1番目のシフト動作が完了する。

【0010】

この状態で発光用サイリスタの Φ_I 信号を5Vから0Vにすると、転送用サイリスタがONした条件と同じになるため、発光用サイリスタD1がONして、1番目のLEDが点灯することになる。1番目のLEDは Φ_I を5Vに戻すことにより、発光用サイリスタのアノード・カソード間の電位差が無くなり、サイリスタの最低保持電流を流れなくなるため、発光用サイリスタD1はOFFする。

【0011】

次に、転送用サイリスタD1' からD2' への転送条件について説明する。

【0012】

発光用サイリスタD1がOFFしても、 Φ_1 が0Vのままなので、転送用サイリスタD1' はONのままであり、転送用サイリスタD1' のゲート電圧 $V_a \approx 5V$ となり、 $V_b = 3.7V$ となる。この状態で、 Φ_2 を5Vから0Vに変化させることにより、転送用サイリスタD2' の電位は、アノード: 5V、カソード: 0V、ゲート: 3.7Vとなり、転送用サイリスタD2' はONする。

【0013】

転送用サイリスタD2' がONした後、 Φ_1 を0Vから5Vに変えることによ

り、転送用サイリスタD1'は発光用サイリスタD1がOFFしたのと同様に、OFFする。このようにして、転送用サイリスタのON状態は、D1'からD2'に移る。そして、ΦIを5Vから0Vにすることにより、発光用サイリスタD2がONして発光する。

【0014】

転送用サイリスタがONしている発光用サイリスタのみ発光できる理由は、転送用サイリスタがONしていない場合、ONしているサイリスタの隣のサイリスタを除いてゲート電圧が0VであるためサイリスタのON条件とならない。隣のサイリスタについても、発光用サイリスタがONすることにより、ΦIの電位は3.4V（発光用サイリスタの順方向電圧降下分）となるため、隣のサイリスタは、ゲート・カソード間の電位差がないため、ONすることができない。

【0015】

なお、ΦIを0Vにすることにより、発光用サイリスタがONとなり、発光すると述べたが、実際のプリント動作においては当然、そのタイミングで実際に発光させるか、させないかを画像データに対応させて制御する必要がある。図14において、画像データ、ΦDは、その制御を示す信号で、SLEDアレイのΦI端子には、外部においてΦIと画像信号との論理和をとり、画像データが0Vの場合のみ、実際にSLEDアレイのΦI端子が0Vになって発光し、画像データが5Vの場合はSLEDのΦI端子が5Vのままとなって発光しない。

【0016】

SLEDアレイを構成する1個のチップ（SLEDチップ）は、例えば128個の発光用サイリスタを有し、転送用サイリスタにより選択的に順次点灯制御される。

【0017】

図15は、発光用サイリスタ（発光素子）の駆動時の等価回路を示す。

【0018】

駆動電流は電源電圧から発光用サイリスタの発光ダイオード部の順方向電圧降下分を差し引いた電圧を外部の電流制限抵抗値およびサイリスタ内部抵抗値の和で割ったものとなる。

【0019】

従って、1つのSLEDチップ内でも、各発光素子の順方向電圧降下量および内部抵抗値がばらつければ、その分、駆動電流も変動することとなる。ただし、1個のSLEDチップにおける順方向電圧降下量、内部抵抗値の発光素子間のバラツキは、SLEDチップ間の順方向電圧降下量平均値、内部抵抗平均値のバラツキに比べれば、一般的に低くなる。このバラツキの様子を、図16および図17に示す。

【0020】

図16は、複数個のSLEDチップのそれぞれの Φ Iを駆動するドライバーの出力に全て同一の $R_a \Omega$ の電流制限抵抗をつけた場合の各画素の駆動電流を示す。横軸が各チップの各発光画素の並びを示し、縦軸はそれらに対応した駆動電流である。

【0021】

図17は、各SLEDチップの各発光素子の電流制限抵抗の逆数と駆動電流の関係を示す。

【0022】

一方、SLEDチップの駆動電流と発光量との関係も同様に、1つのSLEDチップ内における各画素間でのバラツキは、SLEDチップ間の平均値のバラツキよりも一般に低くなる。このバラツキの様子を、図18および図19に示す。

【0023】

図18は、複数のSLEDチップのそれぞれの Φ Iを理想的な定電流回路（電流値 I_a ）で駆動した場合の各発光素子の発光量を示す。横軸が各チップの各発光素子の並びを示し、縦軸はそれらに対応した発光量を示す。

【0024】

図19は、各SLEDチップの各発光素子の駆動電流と発光量との関係を示す。

【0025】

これにより、1つのLEDヘッドに搭載される各SLEDチップには、それぞれの平均駆動電流対平均光量、および平均駆動電流対外部抵抗値の関係にしたが

って、まず、所定の目標平均光量 L 目標が得られる平均駆動電流が演算され、次に、その平均駆動電流が得られるような外部抵抗値が演算され、24系列、96系列等の市販の公称抵抗値から最近接のものが選択され実装される。

【0026】

これによって、各SLEDチップ間で平均光量の差が所定の範囲内に抑えられたLEDヘッドが作成されることとなる。この様子を図20および図21に示す。

【0027】

【発明が解決しようとする課題】

以上のように、各SLEDチップの平均光量は精密に均一化され、ヘッド全体でほぼ均一な露光が行われる。

【0028】

しかしながら、SLEDチップは内部の配線インピーダンス、熱抵抗の物理的なアンバランスや、エッチングなどの半導体製造プロセス上の問題に起因するチップ内の諸物理特性分布により、各チップ共通のチップ内発光むら、すなわち光量ムラが発生する場合がある。

【0029】

このようなチップ内光量ムラに対して、1画素の発光時間を各発光素子の発光特性（光量ムラ）に合わせて、適当に変調し、均一な露光を確保するという光量補正が行われている。

【0030】

ここで、従来における光量補正の1例として、SLEDチップに共通のチップ内発光むらに対する光量補正を、図22～図24に基づいて説明する。

【0031】

図22は、各SLEDチップが、独立して同時走査が可能な例である。

【0032】

301は、56個の各SLEDチップ200の画像データを記憶するメモリである。SLEDチップ200は、各チップが1画素目の発光点から128画素目までの発光点を順次選択しながら動作するため、このメモリ301は、毎回、5

6個のチップ分の画像データをラッチする。

【0033】

302は、入力側が56ビットメモリ301に接続され、出力側が各SLEDチップに接続されたゲート回路である。

【0034】

このゲート回路302は、56チップの各画像データ（2値駆動の場合は、56ビット）を入力し、 ΦI 駆動タイミング信号とANDをとり、画像データがONのチップのみ、そのチップの駆動出力に ΦI の駆動信号を出力する。

【0035】

画像データがOFFのチップについては、そのチップの駆動出力を発光しないレベル（SLEDチップの場合は、ハイレベル=H）に固定したままである。

【0036】

各SLEDチップ200には、128個の発光素子があり、1画素目から128画素目まで順次、この動作を繰り返すことになる。なお、各チップの発光画素の選択走査は、前述したように、 ΦS 、 $\Phi 1$ 、 $\Phi 2$ によって全チップ共通に直接制御される。

【0037】

そして、各発光素子の駆動時間は、56チップ共通の ΦI によって規定される。 ΦS 、 $\Phi 1$ 、 $\Phi 2$ も全チップ共通のタイミングとすれば、全チップ同時に1ビットから128ビットまで走査する。

【0038】

従って、1ビット目から128ビット目までチップ内の傾向性光量ムラに対応して、各発光素子の発光期間となる ΦI のL期間の長さを変調することにより、傾向性光量ムラが補正されることになる。

【0039】

図23（a）は、各発光素子毎の補正データ、および、該補正データに基づいて算出された各発光素子の発光時間を示す。図23（b）は、算出された発光時間に基づいて制御される各発光素子に対する駆動波形を示す。

【0040】

図24は、各発光素子を駆動制御する補正用の発光制御信号ΦIを作成するための従来の制御システムを示す。

【0041】

図24の制御システム350において、まず、画素番号を指定するための画素番号指定カウンタ351から画素番号を補正值メモリ352に出力する。この画像番号指定カウンタ351は、各走査ラインにおいて、0から127まで発光点の移動毎にカウントアップされる。0のときは、補正值メモリ352から+3の補正值Kが読み出される。

【0042】

そして、この補正值メモリ352から読み出された補正值Kは、減算器354によって、発光時間の基準値を示す設定レジスタ353の値である発光時間基準値Sから差し引かれる。ここでは、発光時間基準値Sは32であるため、補正值Kが3のときは、発光時間基準値S-補正值K=32-3=29となる。

【0043】

一方、発光駆動信号発生用の6bitカウンタ355が発光点移動と共に、0からカウントアップされる。この6bitカウンタ355は、画像形成装置の制御システムの基本クロックをアレイヘッド内に入力したクロック又はアレイヘッド内に備える発振器(図示せず)から供給され、6ビットのカウンタ355が1周する64カウントで1回の発光点移動が行われるように、ここでは論理設計されている。

【0044】

この6bitカウンタ355の値と、引き算されたカウンタロード値(=発光時間基準値S-補正值K)とが、逐次、比較器356によって比較される。この比較により、前者≥後者、例えば前例では29以上になった期間のみ発光制御信号ΦIがローレベル(=L)となり、図23(b)に示すような発光駆動が行われる。以下、2番目の発光素子以降も同様にして、補正值Kに応じて、発光時間の補正が実行される。

【0045】

しかしながら、このような各発光タイミング毎の発光デューティ補正では、その発光デューティ補正回路のもつシステムクロックによって、その最小補正の分解能が決まってしまう。

【0046】

例えば、図25に示すような出力波形において、1発光繰り返し周期が1.1μs、その中の実際の発光期間 ($\Phi I = L$) が700ns程度の場合、図24に示す制御システムの基本となるシステムクロックが45MHzとすると、発光期間の変調分解能は22nsとなり、1補正単位で3% (= 22 / 700) 程度の発光量変化がおきる。

【0047】

このような光量補正の分解能では、画像形成条件によっては十分に満足できる補正を行うことができない。

【0048】

そこで、本発明では、システムクロックを変更することなく、光量補正の分解能を高めて光量ムラを無くし、画像品質を向上させることが可能な記録装置および記録方法を提供することにある。

【0049】

【課題を解決するための手段】

本発明は、記録ヘッドを用いて記録媒体に記録を行う記録装置であって、前記記録ヘッドは、複数個の記録素子が所定の方向に沿って1列に配列された記録素子アレイを少なくとも1つ有し、前記記録素子アレイを構成する各記録素子の記録駆動特性を画像データの画素単位で補正する画素補正データを含み、該画素補正データが前記画像データの複数ライン分に対応して構成された駆動補正テーブルと、前記複数ライン分の画素補正データからなる駆動補正テーブルに基づいて、前記記録素子アレイの各記録素子の記録駆動時間を画素単位で変調する駆動制御手段とを具えることによって、記録装置を構成する。

【0050】

ここで、前記駆動制御手段は、前記複数ライン分の画素補正データからなる駆

動補正テーブルを記憶する補正メモリと、前記補正メモリに記憶された前記画素補正データの補正画素番号を指定する補正画素指定手段と、前記補正メモリに記憶された前記画素補正データの補正列を指定する補正列指定手段と、前記補正画素番号および前記補正列が指定された各ライン毎の画素補正データを用いて、前記記録素子アレイの各記録素子の記録駆動時間を画素単位で算出する駆動時間算出手段とを含むことができる。

【0051】

本発明は、記録媒体の移動方向に対して直交する主走査方向に配置された記録ヘッドを用いて電子写真式によって記録を行う記録装置であって、前記記録ヘッドは、複数個の記録素子が前記主走査方向に沿って1列に配列された記録素子アレイを少なくとも1つ有し、前記記録素子アレイを構成する各記録素子の発光特性を画像データの画素単位で補正する画素補正データを含み、該画素補正データが前記画像データの複数ライン分に対応して構成された光量補正テーブルと、前記複数ライン分の画素補正データからなる光量補正テーブルに基づいて、前記記録素子アレイの各記録素子の発光駆動時間を画素単位で変調する駆動制御手段とを具えることによって、記録装置を構成する。

【0052】

ここで、前記駆動制御手段は、前記複数ライン分の画素補正データからなる光量補正テーブルを記憶する補正メモリと、前記補正メモリに記憶された前記画素補正データの補正画素番号を指定する補正画素指定手段と、前記補正メモリに記憶された前記画素補正データの補正列を指定する補正列指定手段と、前記補正画素番号および前記補正列が指定された各ライン毎の画素補正データに基づいて、前記記録素子アレイの各記録素子の発光駆動時間を画素単位で算出する駆動時間算出手段とを含むことができる。

【0053】

前記記録素子アレイは、複数個のLED素子が前記主走査方向に沿って1列に配列されたLEDアレイによって構成することができる。

【0054】

本発明は、複数個の記録素子が所定の方向に沿って1列に配列された記録素子

アレイが少なくとも1つ設けられた記録ヘッドを用いて、記録媒体に記録を行う記録方法であって、前記記録素子アレイを構成する各記録素子の記録駆動特性を画像データの画素単位で補正する画素補正データを含み、該画素補正データが前記画像データの複数ライン分に対応して構成された駆動補正テーブルを作成する工程と、前記複数ライン分の画素補正データからなる駆動補正テーブルに基づいて、前記記録素子アレイの各記録素子の記録駆動時間を画素単位で変調する駆動制御工程とを具えることによって、記録方法を提供する。

【0055】

本発明は、複数個の記録素子が所定の方向に沿って1列に配列された記録素子アレイが少なくとも1つ設けられた記録ヘッドを用い、コンピュータによって記録媒体に記録制御を行うためのプログラムを記録した媒体であって、該制御プログラムはコンピュータに、前記記録素子アレイを構成する各記録素子の記録駆動特性を画像データの画素単位で補正する画素補正データを含み、該画素補正データが前記画像データの複数ライン分に対応して構成された駆動補正テーブルを作成させ、前記複数ライン分の画素補正データからなる駆動補正テーブルに基づいて、前記記録素子アレイの各記録素子の記録駆動時間を画素単位で変調させることによって、記録制御プログラムを記録した媒体を提供する。

【0056】

【発明の実施の形態】

【概要】

まず、本発明の概要について説明する。

【0057】

図6は、本発明に適用可能な記録ヘッドとしてのSLEDアレイヘッド100の構成を示す。なお、このヘッドの回路構成およびその動作は、前述した図13および図14と同様であり、その説明は省略する。

【0058】

200は、SLED半導体チップ（以下、SLEDチップという）である。1個のSLEDチップ200には、図13に示したような複数個の発光サイリスタが直線状に形成されている。ここでは、例として、128個の発光サイリスタが

形成されているものとする。

【0059】

212は、SLEDチップ200を搭載するベース基板であり、ガラスエポキシ材、セラミック材などのプリント配線板によって作製される。このベース基板212上には、複数個のSLEDチップ200が主走査方向Xに沿って直線状に配設されている。ここでは、例として、56個のSLEDチップ200が設けられているものとする。

【0060】

213は、外部からの制御信号、電源を受けるコネクタである。214は、外部からの制御信号を受け取り、SLEDチップ200の点灯制御信号を発生する点灯制御回路（ドライバーIC）である。215は、ドライバIC214からの出力信号Φ1, Φ2, ΦS, ΦIおよび負極側電源入力（本例では、GND）をそれぞれ、SLEDチップ200に接続するためのボンディングワイヤである。216は、ベース基板に引かれた正極側電源パターン（本例では、+5V）。217は、ベース基板に引かれた正極側電源パターンとSLEDチップ211の裏面電極との間の電気的導電をとり、かつ、接着固定するための銀ペーストである。

【0061】

図7は、SLEDチップ200の内部構成を示す。

【0062】

チップ端部の入力側には、ボンディングワイヤ215と接続するためのボンディングパッド201が設けられている。このボンディングパッド201を介して、信号Φ1, Φ2, ΦS, ΦI, VGAが入力される。また、チップ端部の出力側には、発光部（すなわち、図13の発光用サイリスタ）202が設けられている。

【0063】

そして、このようなSLEDチップ200を搭載したSLEDアレイヘッド100においては、図8に示すような共通の発光むらがしばしば発生する。チップ端部で急峻に発光量が低下している原因としては、SLEDチップ200の熱抵

抗がチップ端部になるにつれ急激に上昇し、昇温によって発光効率が低下することに起因するからである。

【0064】

SLEDチップ200の中央から両端にゆるやかに発光量が低下しているのは、図7に示すようにチップ中央部に配置された駆動信号Φ1入力用のボンディングパッド215から、駆動電流の導通路となるアルミ配線パターンのインピーダンスがチップの両周辺部に向かって伸びていることに起因する。

【0065】

さらに、各ワイヤーボンディング周辺部で光量が若干下がっているのは、このワイヤーボンディング周辺部はアルミ配線の面積が他に比べて少ないために、その周辺部はより多くのアルミをパターンエッチング時にエッチングすることになり、エッチングレートが相対的に低下し、これにより、発光部のアルミ配線幅がごくわずかながら太ることになり、膜内発光部からの発光に対する開口面積が下がることに起因する。

【0066】

また、以上のようなチップ間で共通な傾向をもつ光量ムラ以外にも、ランダムに発生する光量ムラもちろん発生することがある。

【0067】

そこで、本発明では、以上述べたような光量ムラを解決するための手段を提供する。すなわち、各チップ内の発光部202の発光特性を画素単位で補正する画素補正データを画像データの複数ライン分用意し、この複数ライン分の画素補正データからなる光量補正テーブルに基づいて、各チップ内の発光部202の発光駆動時間を画素単位で変調するような制御処理を実行することを特徴とするものである。

【0068】

[具体例]

以下、具体例を挙げて説明する。

【0069】

(システム構成)

まず、本システムの全体構成を、図1および図2に基づいて説明する。

【0070】

図1は、本システムの概略構成を示す。本例では、発光部202の発光駆動時間を画素単位で変調するための制御部400がもうけられている。この制御部400から発光駆動時間が変調された発光制御信号Φ1が出力される。

【0071】

発光制御信号Φ1は、コネクタ部303、ゲート回路302を介して各SLE Dチップ200（図7参照）に入力される。なお、このゲート回路302および56ビットメモリ301の構成は、前述した図22と同様であるため、ここでの説明は省略する。

【0072】

ここで、56ビットメモリ301には、画像データ600の1ライン分のデータのみが順次入力されるものとする。

【0073】

56ビットメモリ301には、アドレス1に、1チップ目1ビット、2チップ目1ビット、…、56チップ目1ビットの合計56個の画像データ600の1ライン分データが記憶され、また、アドレス2に、1チップ目2ビット、2チップ目2ビット、…、56チップ目2ビットの合計56個の1ライン分データが記憶され、以下同様にして、アドレス126までに各1ライン分データが記憶されているものとする。

【0074】

図2は、各発光部202を駆動制御する補正用の発光制御信号Φ1を作成する制御部400の構成を示す。

【0075】

401は、複数ライン分の画素補正データ501、502からなる光量補正テーブル500を記憶する補正メモリである。

【0076】

402は、補正メモリ401に記憶された画素補正データ501、502の補正列（2n, 2n+1）を指定する補正列指定カウンタである。

【0077】

光量補正テーブル500は、図3に示すように、補正列 2^n に対応した3, 3, 2, 2, 2, 0, …, の画素補正データ501と、補正列 2^{n+1} に対応した3, 2, 2, 1, 0, 2…, の画素補正データ502とから構成される。

【0078】

なお、画素番号指定カウンタ351、発光時間基準値設定レジスタ353、減算器354、6bitカウンタ354、比較器356の構成は、前述した図24と基本的に同一であるため、ここでの説明は省略する。

【0079】

(システム動作)

以下、本システムの動作について説明する。

【0080】

(発光駆動時間の制御)

まず、発光制御信号ΦIの発光駆動時間を制御する処理を、図2に基づいて説明する。

【0081】

補正值メモリ352から所望とする画素補正データを取り出すために、画素番号指定カウンタ351から画素番号が、補正列指定カウンタ402から補正列がそれぞれ出力される。画像番号指定カウンタ351は、各走査ラインにおいて、0から127まで発光点の移動毎にカウントアップされる。

【0082】

画素番号および補正列に基づいて補正值メモリ352から読み出された補正值Kが、発光時間の基準値を示す設定レジスタ353の値である発光時間基準値Sから差し引かれる。発光時間基準値Sを32とすると、補正值Kが3のときは、発光時間基準値S-補正值K=32-3=29となる。

【0083】

一方、発光駆動信号発生用の6bitカウンタ354が発光点移動と共に、0からカウントアップされる。この6bitカウンタ354は、画像形成装置の制御システムの基本クロックをアレイヘッド内に入力したクロック又はアレイヘッ

ド内に備える発振器(図示せず)から供給され、6ビットのカウンタ354が1周する64カウントで1回の発光点移動が行われるように、ここでは論理設計されている。

【0084】

この6bitカウンタ354の値と、引き算されたカウンタロード値(=発光時間基準値S-補正值K)とが、逐次、比較器355によって比較される。この比較により、前者≥後者、例えば前例では29以上になった期間のみ発光制御信号ΦIがローレベル(=L)となり、前述した図23(b)に示すような発光駆動が行われる。以下、2番目の発光素子以降も同様にして、補正值Kに応じて、発光時間の補正が実行される。

【0085】

(画像データの補正処理)

次に、発光駆動時間が制御された発光制御信号ΦIを用いて、実際の画像データを補正する処理を、図4および図5に基づいて説明する。

【0086】

図4は、補正值メモリ352から所望とする画素補正データ501, 502を取り出し、画像データ600に補正する処理を示す。

【0087】

補正例として、例えば、 $n=0$ のときを考える。このとき、補正列は、0(=2n)と、1(=2n+1)となる。補正列0は画像データ600の偶数ラインに相当し、補正列1は画像データ600の奇数ラインに相当する。

【0088】

そこで、光量補正テーブル500において、まず、画像データ600の偶数ラインに相当する画素補正データ501に注目する。

【0089】

そして、偶数ラインに相当する補正列0の1画素目の補正值3を取り出す。この取り出した補正值3を、56ビットメモリ301に記憶された1ライン分の1画素目のデータに対して処理する。例えば、1ライン分のデータが、1チップ目1ビット、2チップ目1ビット、…、56チップ目1ビットのデータであるとす

ると、この1画素目のデータ全てに対して、補正值3を用いて補正を行う。

【0090】

次に、偶数ラインに相当する補正列0の2画素目の補正值3を取り出す。この2画素目の補正值3を用いて、56ビットメモリ301に記憶された1ライン分の2画素目のデータである、1チップ目2ビット、2チップ目2ビット、…、56チップ目2ビットのデータ全てに対して補正を行う。

【0091】

以下、同様にして補正を行っていき、偶数ラインに相当する補正列0の最後の128画素目の補正值2を取り出す。この128画素目の補正值2を用いて、56ビットメモリ301に記憶された1ライン分の128画素目のデータである、1チップ目128ビット、2チップ目128ビット、…、56チップ目128ビットのデータ全てに対して補正を行う。これにより、偶数ラインに相当する補正列0の補正が全て終了する。

【0092】

次に、画像データ600の奇数ラインに相当する補正列1の補正を同様にして行う。すなわち、光量補正テーブル500において、まず、奇数ラインに相当する画素補正データ502に注目する。

【0093】

そして、奇数ラインに相当する補正列1の1画素目の補正值3を取り出して、56ビットメモリ301に記憶された1ライン分の1画素目のデータである、1チップ目1ビット、2チップ目1ビット、…、56チップ目1ビットのデータ全てに対して補正を行う。

【0094】

次に、奇数ラインに相当する補正列1の2画素目の補正值2を取り出して、56ビットメモリ301に記憶された1ライン分の2画素目のデータである、1チップ目2ビット、2チップ目2ビット、…、56チップ目2ビットのデータ全てに対して補正を行う。

【0095】

以下、同様にして補正を行っていき、奇数ラインに相当する補正列1の最後の

128画素目の補正值4を取り出す。この128画素目の補正值4を用いて、56ビットメモリ301に記憶された1ライン分の128画素目のデータである、1チップ目128ビット、2チップ目128ビット、…、56チップ目128ビットのデータ全てに対して補正を行う。これにより、奇数ラインに相当する補正列1の補正が全て終了する。

【0096】

以上の補正処理は、 $n = 0$ の場合の例であるが、 $n = 1, 2, \dots$ （ただし、 n は画像領域分の数に相当する）というように増加させた場合でも、図5に示すように、画像データ600の偶数ライン、奇数ラインを交互に補正することが可能である。

【0097】

(補正分解能)

次に、発光制御信号 Φ Iの発光駆動時間の補正分解能を、図3に基づいて説明する。

【0098】

図3の仮想平均値510は、光量補正テーブル500の画素補正データ501と画素補正データ502との平均値を示すものである。この仮想平均値510は、実際の補正処理に用いられる値ではないが、補正分解能の考え方の面で参考となる値である。

【0099】

例えば、補正值として1画素目では、仮想平均値は3で、このときの発光時間パルス数は35パルスである。前述した図25を参照して、システムクロックの分解能が 22 n s とすると、発光時間は、 $35 \times 22 = 770\text{ n s}$ となる。

【0100】

また、2画素目では、仮想平均値は2.5であり、発光時間パルス数は34.5パルスであるため、発光時間は、 $34.5 \times 22 = 759\text{ n s}$ となる。従って、補正分解能は、

$$770 - 759\text{ n s} = 11\text{ n s} \quad (0.5\text{ パルス分}) \quad \dots \quad (1)$$

となる。

【0101】

これに対して、前述した従来例では、図23に示したように、1画素目での発光時間は $35\text{ パルス} \times 22 = 770\text{ ns}$ であり、2画素目での発光時間は $34\text{ パルス} \times 22 = 748\text{ ns}$ である。従って、補正分解能は、

$$770 - 748\text{ ns} = 22\text{ ns} \quad (1\text{ パルス分}) \quad \cdots (2)$$

となる。

【0102】

(1)式、(2)式を比較してわかるように、本発明による補正分解能が、従来例に比べて半減 ($1/2$) していることがわかる。

【0103】

上述したように、画像データの複数ラインのうち、偶数ラインについては $2n$ 列の補正值を用い、奇数ラインについては $2n+1$ 列の補正值を用いて、各発光素子の発光時間の補正を2ライン毎に繰り返して行うことにより、補正值の最小分解能は2ラインで1回だけ1クロック変調を行う場合の0.5クロックと実質的にみなすことができ、これにより、よりなめらかで、細かい補正を行うことが可能となる。

【0104】

本例では、2ライン補正データを持つ例を示したが、さらに多くの補正データを備えることにより、より分解能の高い補正を行うことが可能である。

【0105】

なお、図8に示した光量ムラの基準となる”光量”とは、1ビットから128ビットまでの各ビットの光量を示すが、この光量は、製造されるチップの全体としての各ビット平均値を想定してもよい。この場合には、記録ヘッドによらず、常に一定のパターンの補正テーブルを備えることになる。

【0106】

また、光量は、1つのウエハから取れる全チップにおける各ビット平均を想定してもよい。この場合には、所定のウエハロットのチップから作製された記録ヘッド毎に最適な補正テーブルを設定することができる。

【0107】

また、1つの記録ヘッド毎の全チップにおける各ビット平均を想定してもよい。この場合には、記録ヘッド毎により最適な補正テーブルを設定することができる。

【0108】

(実験例)

次に、光量ムラに対する光量補正の実験例を、図9～図11に基づいて説明する。ここでは、従来例と比較して述べる。

【0109】

図11は、従来の光量補正テーブル600を示す。ビット番号は、図8の画素番号に対応する。光量は、各ビット単位で検出される。補正值は、図23の補正值に対応する。

【0110】

そして、1周期を64カウント、デフォルトの発光時間を32カウントとし、1から128ビットの全平均光量 (= 95.125) に対する各ビットの光量の比率に従って、理想的な発光カウント値を線形計算し、個の値を四捨五入により整数としての実カウント値を決定する。しかし、このような補正の仕方では、原理的に32カウントの中央値に対して、1カウント刻みで補正值を決定せざるを得ず、原理的に $1/32 \times n$ のステップ比でしか、補正ができない。

【0111】

図12は、各ビットの光量が1クロック分のステップ変動（変動量=約3.1%）をしている箇所があることがわかる。光量変動と出力画像との関係によっては、出力画像にスジなどの影響が発生する。

【0112】

図9は、本発明に基づく、副走査方向Yに2列分の補正值を備えた補正テーブル610の例を示す。

【0113】

Φ1の周期、発光時間デフォルト値は、従来と同じで、それぞれ64カウント、32カウントである。 2^n 補正值、 $2^n + 1$ 補正值は、図3の補正值に対応す

る。

【0114】

そして、連続する $2n$ 、 $2n+1$ ライン毎に補正テーブルを切り替えて使用し、2 ライン（偶数、奇数ライン）で平均的に補正を行うことにより、実質的に 0.5 クロック刻みの補正を実現することができる。

【0115】

図 10 は、補正值の 2 列平均値と、補正後の残留光量誤差（%）とをグラフ化したものである。前述した従来例の図 12 と比較して、変動量は 1.5 % と減少していることがわかり、これにより、従来のように出力画像にスジなどの影響が発生するようなこともない。

【0116】

なお、本発明に係る発光素子の発光時間の制御方法は、電子写真式の記録装置の記録ヘッドのみならず、他のヘッド、例えばインクジェット式の記録ヘッドの駆動制御に適用できるものである。

【0117】

また、本発明は、複数の機器（例えば、ホストコンピュータ、インターフェース機器、リーダ、プリンタなど）から構成されるシステムに適用しても、1 つの機器（例えば、複写機、ファクシミリ装置）からなる装置に適用してもよい。

【0118】

また、本発明は、システム或いは装置にプログラムを供給することによって達成される場合にも適用できることはいうまでもない。そして、本発明を達成するためのソフトウェアによって表されるプログラムを格納した記憶媒体を、システム或いは装置に供給し、そのシステム或いは装置のコンピュータ（又は CPU や MPU）が記憶媒体に格納されたプログラムコードを読み出し実行することによって、本発明の効果を享受することが可能となる。

【0119】

この場合、記憶媒体から読み出されたプログラムコード自体が前述した実施形態の機能を実現することになり、そのプログラムコードを記憶した記憶媒体は本発明を構成することになる。

【0120】

プログラムコードを供給するための記憶媒体としては、例えば、フロッピディスク、ハードディスク、光ディスク、光磁気ディスク、CD-ROM、CD-R、磁気テープ、不揮発性のメモリカード、ROM（マスクROM、フラッシュEEPROMなど）などを用いることができる。

【0121】

また、コンピュータが読出したプログラムコードを実行することにより、前述した実施形態の機能が実現されるだけでなく、そのプログラムコードの指示に基づき、コンピュータ上で稼動しているOS（オペレーティングシステム）などが実際の処理の一部または全部を行い、その処理によって前述した実施形態の機能が実現される場合も含まれることは言うまでもない。

【0122】

さらに、記憶媒体から読み出されたプログラムコードが、コンピュータに挿入された機能拡張ボードやコンピュータに接続された機能拡張ユニットに備わるメモリに書き込まれた後、そのプログラムコードの指示に基づき、その機能拡張ボードや機能拡張ユニットに備わるCPUなどが実際の処理の一部または全部を行い、その処理によって前述した実施形態の機能が実現される場合も含まれることは言うまでもない。

【0123】

【発明の効果】

以上説明したように、本発明によれば、記録ヘッドの各発光素子の発光特性を画素単位で補正する画素補正データを、画像データの複数ライン分備えた光量補正テーブルを作成し、この複数ライン分の画素補正テーブルを有する光量補正テーブルに基づいて、各発光素子の発光駆動時間を画素単位で変調するようにしたので、各発光素子の光量補正分解能は発光時間制御回路のシステムクロック周期に限定されず、より高分解能で光量補正を行うことが可能となり、しかも、補正レベルの変化点や過補正部等でみられる濃度の不連続性、違和感を緩和することが可能となり、これにより、一段となめらかで、高精細な出力画像を作成することができる。

【図面の簡単な説明】

【図1】

本発明の実施の形態である記録装置の光量制御系の構成を示すブロック図である。

【図2】

光量制御部の内部構成を示すブロック図である。

【図3】

補正データの構成を示す説明図である。

【図4】

光量の補正処理を示す説明図である。

【図5】

画像データの転送処理を示す説明図である。

【図6】

記録ヘッドの構成を示す斜視図である。

【図7】

SLEDチップの内部構成を示す構成図である。

【図8】

チップ内の光量ムラを示す説明図である。

【図9】

本発明の補正テーブルを示す説明図である。

【図10】

図9の補正データをグラフ化して示す波形図である。

【図11】

従来の補正テーブルを示す説明図である。

【図12】

図11の補正データをグラフ化して示す波形図である。

【図13】

駆動回路の構成を示す回路図である。

【図14】

駆動回路に入力される各種信号を示す波形図である。

【図15】

発光サイリスタの等価回路を示す回路図である。

【図16】

チップに対する駆動電流の変化を示す特性図である。

【図17】

電流制限抵抗に対する駆動電流の変化を示す特性図である。

【図18】

チップに対する発光量の変化を示す特性図である。

【図19】

駆動電流に対する発光量の変化を示す特性図である。

【図20】

平均駆動電流に対する平均光量の変化を示す特性図である。

【図21】

外部抵抗値に対する平均駆動電流の変化を示す特性図である。

【図22】

従来における記録装置の光量制御系の構成を示すブロック図である。

【図23】

従来の補正データの構成を示す説明図である。

【図24】

従来の光量制御部の内部構成を示すブロック図である。

【図25】

発光期間を示す波形図である。

【符号の説明】

100 SLEDアレイヘッド

200 SLEDチップ

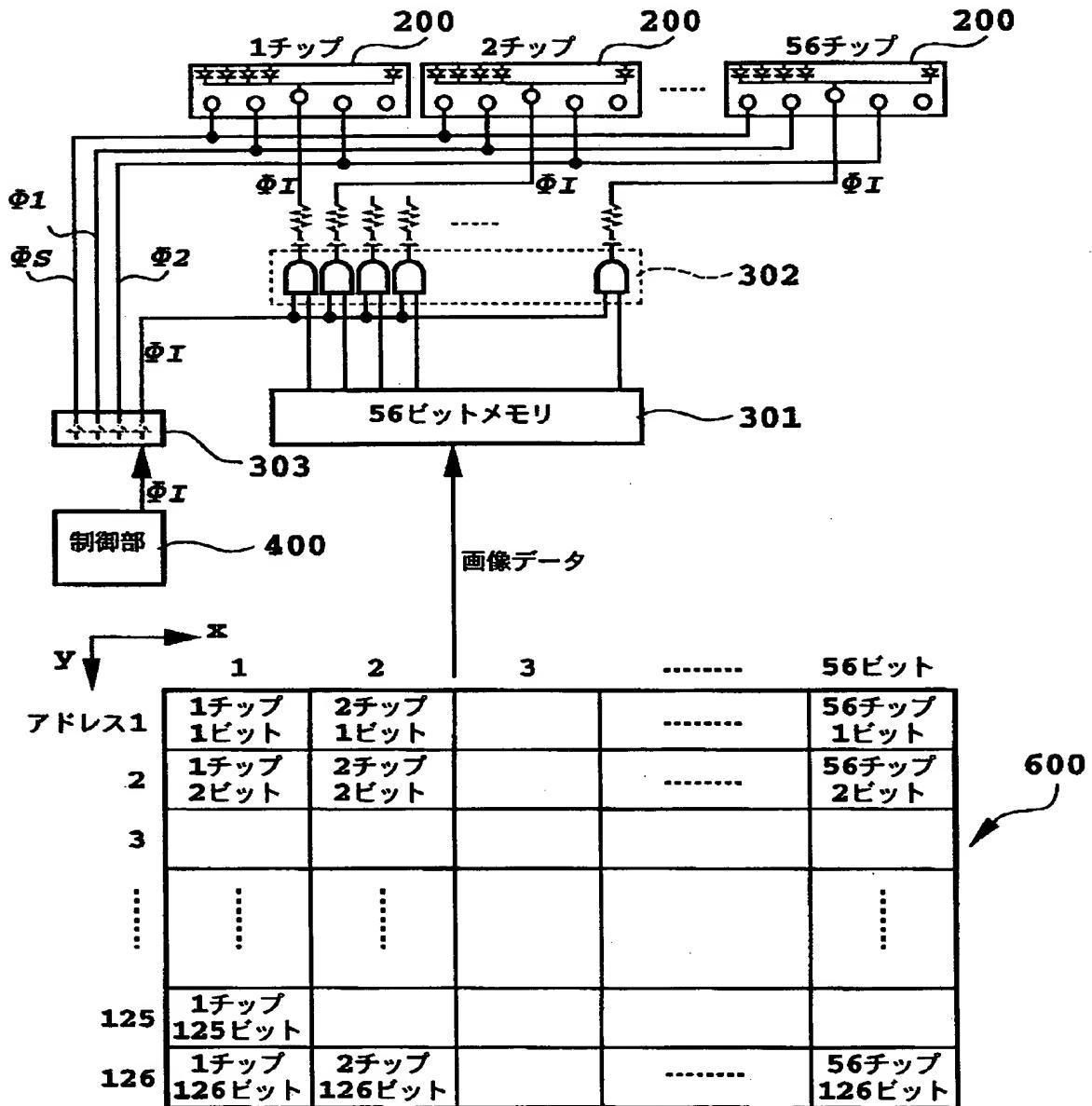
301 56ビットメモリ

302 ゲート回路

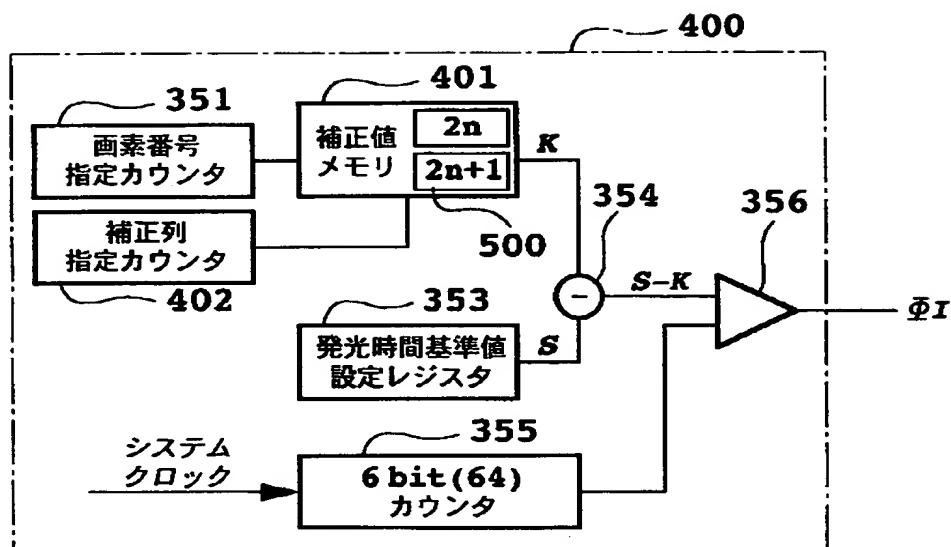
- 351 画素番号指定カウンタ
- 352 補正值メモリ
- 353 発光時間基準値設定レジスタ
- 354 減算器
- 355 6bit カウンタ
- 356 比較器
- 400 制御部
- 401 補正值メモリ
- 402 補正列指定カウンタ
- 500 光量補正テーブル
- 501, 502 画素補正データ
- 510 仮想平均値
- 600 画像データ

【書類名】 **図面**

【図1】



【図2】



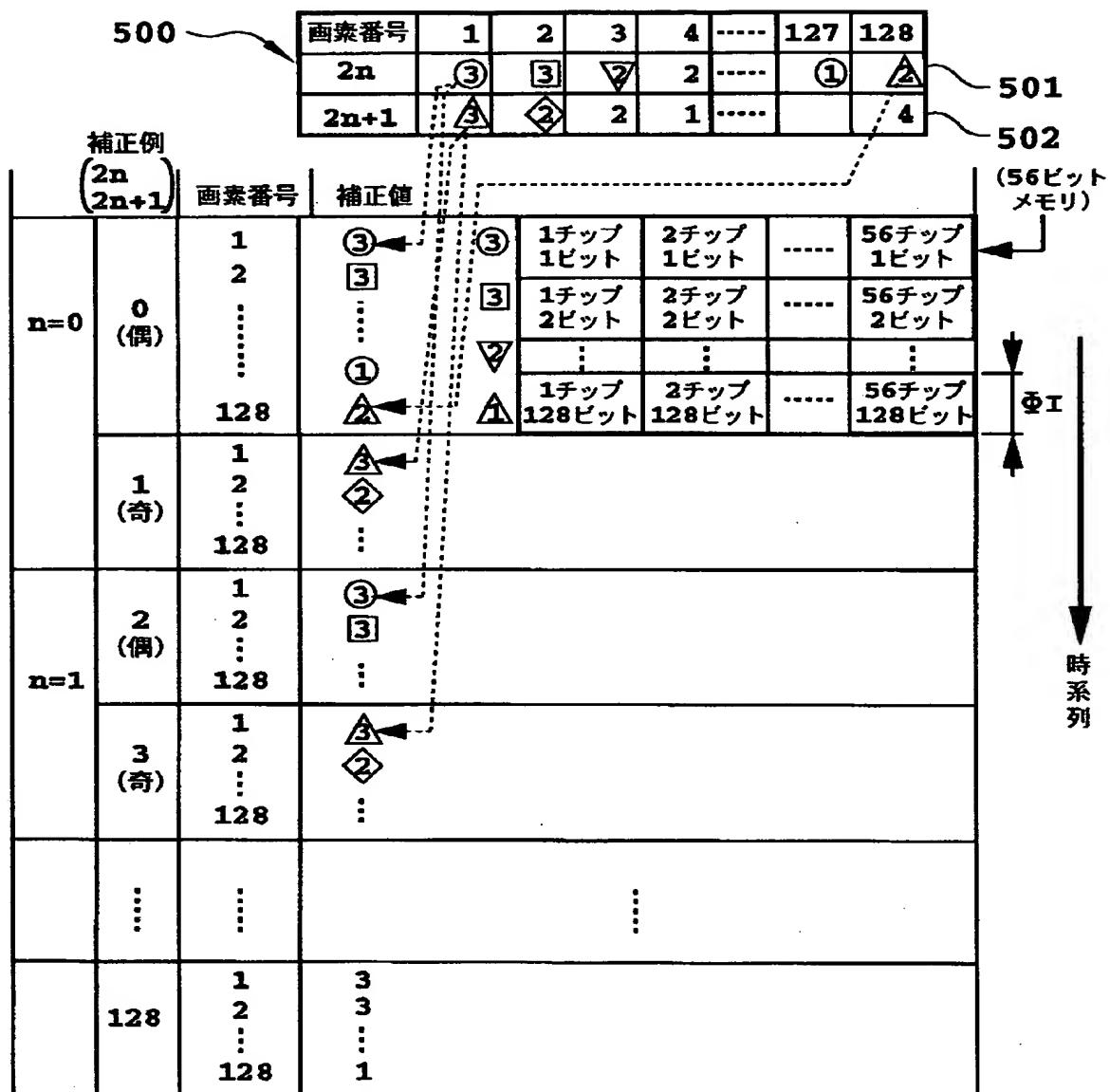
図素番号 [500図3]

	1	2	3	4	5	6	7	8	9	10	11	12	13	...	128	501
2n	3	3	2	2	2	0	1	0	1	0	0	0	0	0	0	502
2n+1	3	2	2	1	0	2	0	1	0	0	1	0	0	0	0	502
仮想 平均値	3	2.5	2	1.5	1	1	0.5	0.5	0.5	0	0.5	0	0.5	0	0	51.0

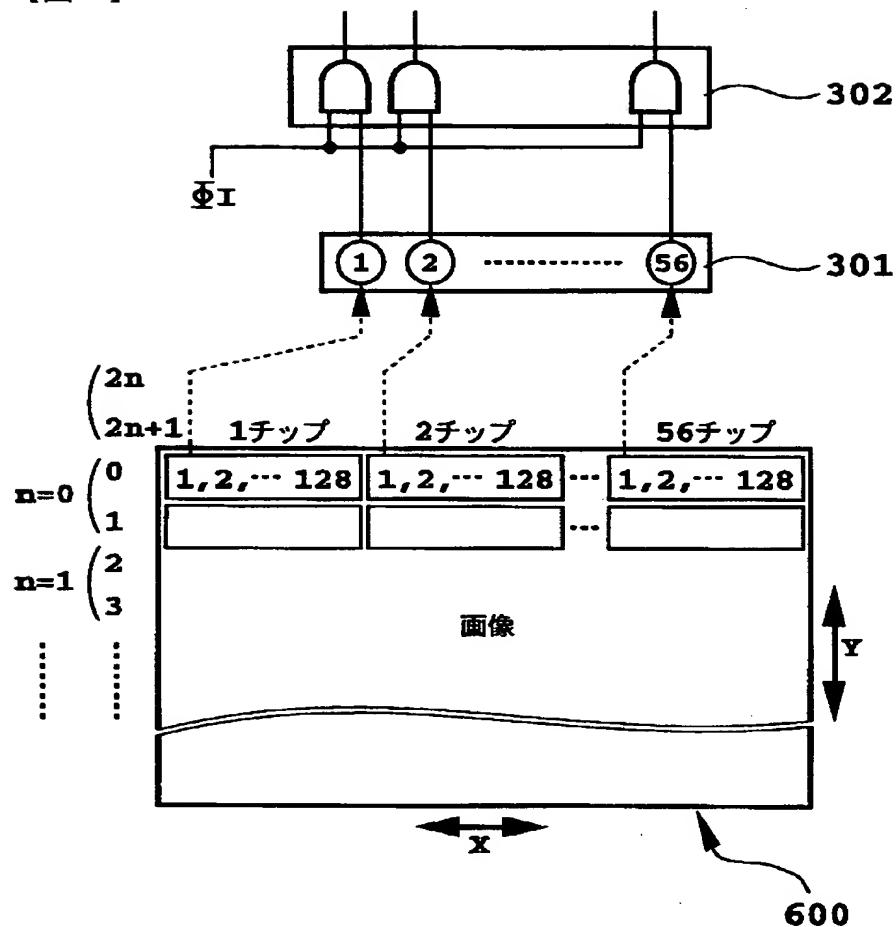
カウンタロード値
発光時間 (01k)

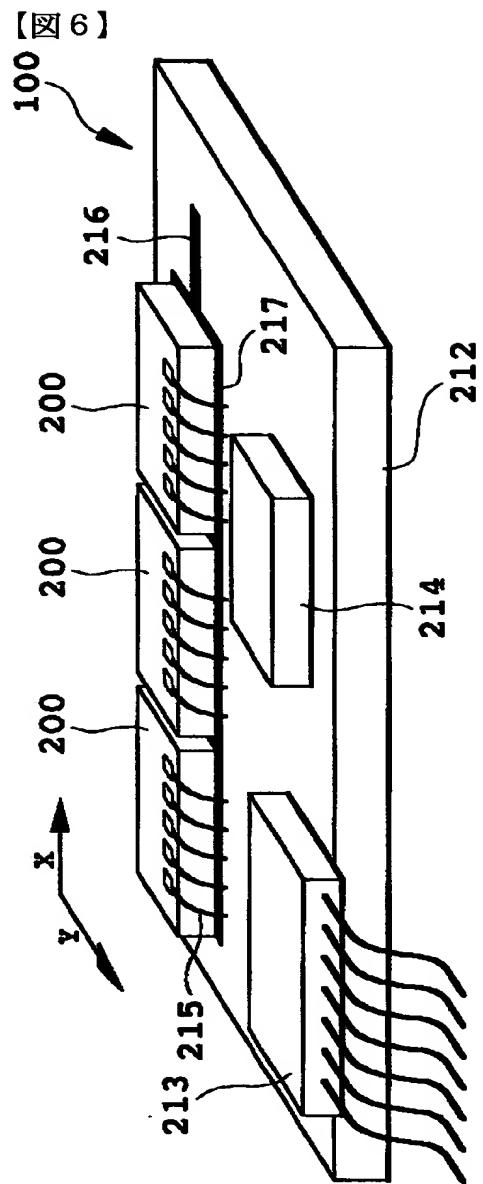
29	29.5	30	30.5	31	31	31.5	31.5	31.5	32	31.5	32	32	32	32	32	32
35	34.5	34	33.5	33	33	32.5	32.5	32.5	32	31.5	32	32	32	32	32	32

【図4】

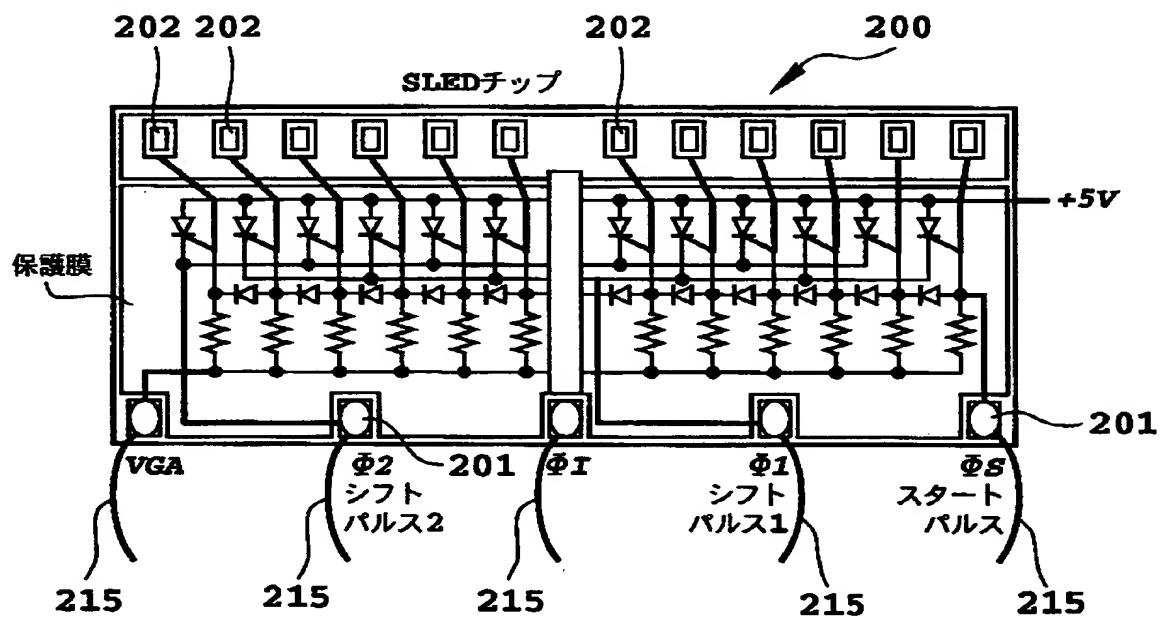


【図5】

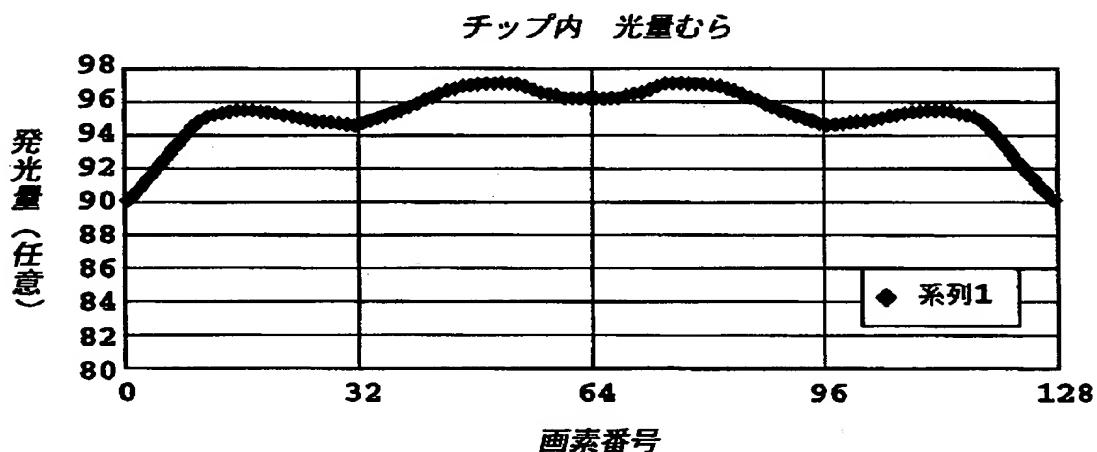




【図7】



【図8】

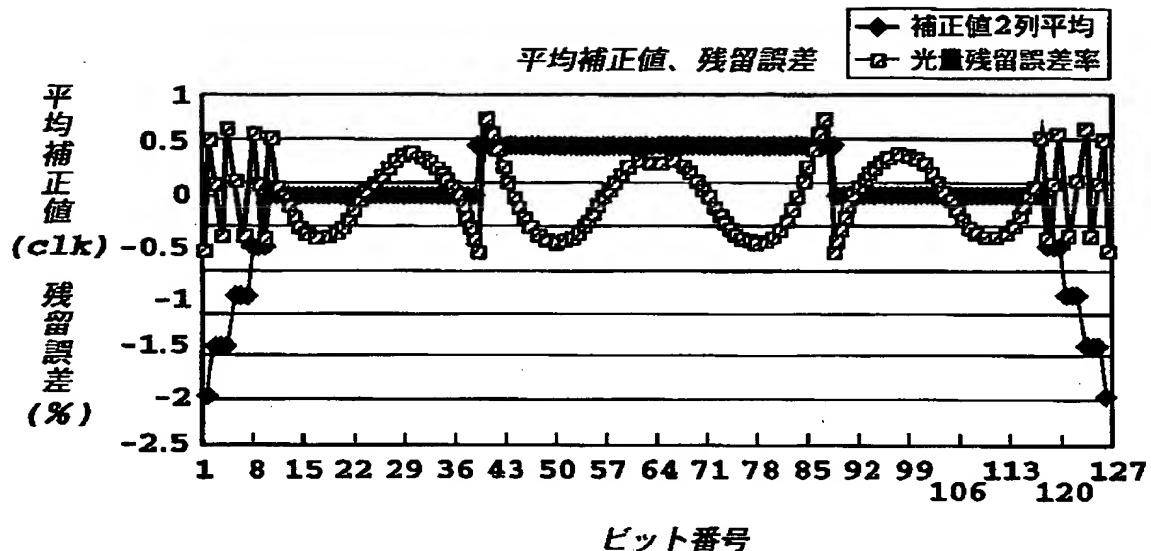


【図9】

610

理想カウント値 2列和	2n 実カウント値	2n+1 実カウント値	補正値	2n+1 実カウント値 2列和	補正値 2列和	補正值 2列平均	光量残差率
60.34579924	30	30	-2	-2	-1	-2	-0.57303
60.6284033	30	31	-2	-1	-1	-1.5	0.61299
60.92772837	30	31	-2	-1	-1	-1.5	0.118619
61.24210197	31	30	-1	-2	61	-1.5	-0.39532
61.56927327	31	31	-1	-1	62	-1	0.699581
61.90649968	31	31	-1	-1	62	-1	0.151035
62.25065216	31	31	-1	-1	62	-1	-0.40265
62.59833552	31	32	-1	0	63	-0.5	0.641654
62.94601888	31	32	-1	0	63	-0.5	0.085758
63.29017137	32	31	0	-1	63	-0.5	-0.45848
63.62739777	32	32	0	0	64	0	0.5856
63.95456908	32	32	0	0	64	0	0.071036
64.04467636	32	32	0	0	64	0	-0.06976
64.11973512	32	32	0	0	64	0	-0.18674
64.17807286	32	32	0	0	64	0	-0.27747
64.21865966	32	32	0	0	64	0	-0.34049
64.24114776	32	32	0	0	64	0	-0.37538
64.24588492	32	32	0	0	64	0	-0.38272
64.23390106	32	32	0	0	64	0	-0.36414
							...

【図10】

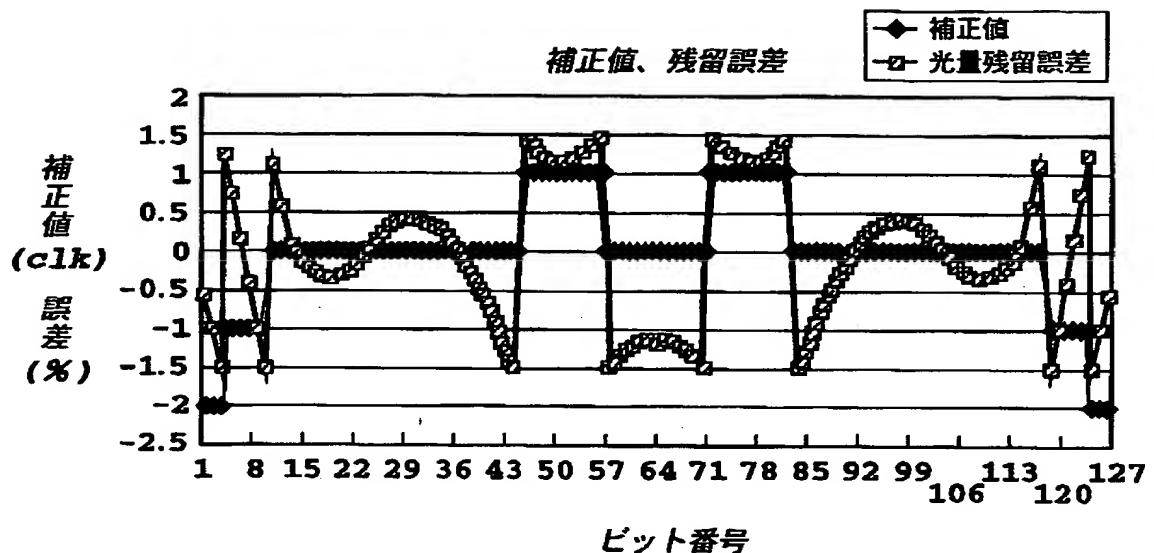


【図11】

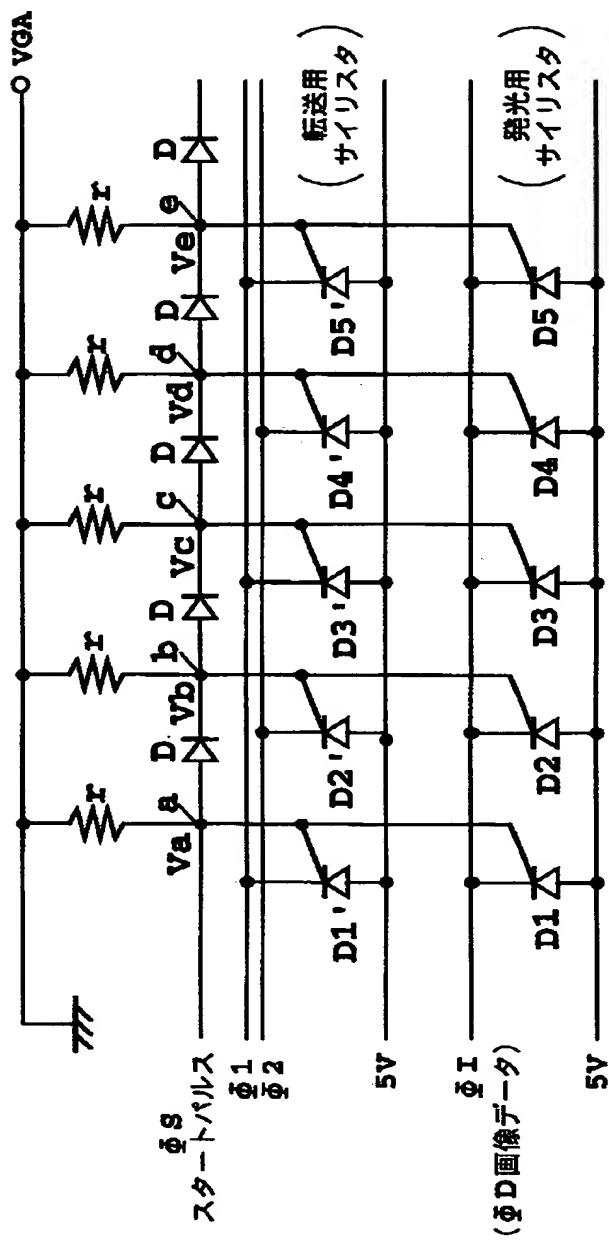
600

ビット番号	光量uW	理想カウント値	実カウント値	補正值	光量残留誤差率
1	89.6936586	30.1729	30	-2	-0.57303
2	90.113701	30.3142	30	-2	-1.036483
3	90.5585963	30.46386	30	-2	-1.52267
4	91.0258586	30.62105	31	-1	1.2375441
5	91.5121425	30.78464	31	-1	0.6995807
6	92.0133716	30.95325	31	-1	0.1510347
7	92.5248951	31.12533	31	-1	-0.40265
8	93.0416667	31.29917	31	-1	-0.955833
9	93.5584382	31.47301	31	-1	-1.502905
10	94.0699617	31.64509	32	0	1.1215464
11	94.5711908	31.8137	32	0	0.5856003
12	95.0574747	31.97728	32	0	0.0710362
13	95.1914037	32.02234	32	0	-0.069758
14	95.3029657	32.05987	32	0	-0.186737
15	95.3896747	32.08904	32	0	-0.277467
16	95.45	32.10933	32	0	-0.340492
17	95.4834247	32.12057	32	0	-0.375379
18	95.4904657	32.12294	32	0	-0.382725
19	95.4726537	32.11695	32	0	-0.36414
⋮	⋮	⋮	⋮	⋮	⋮

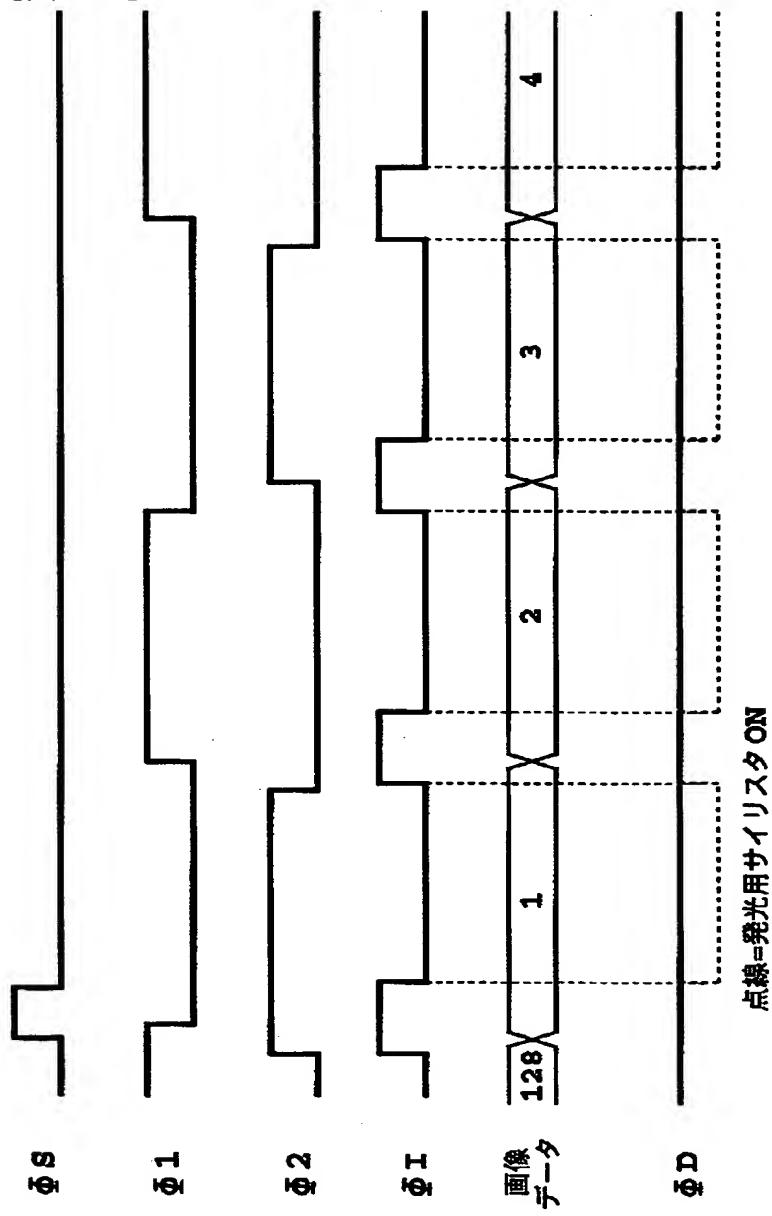
【図12】



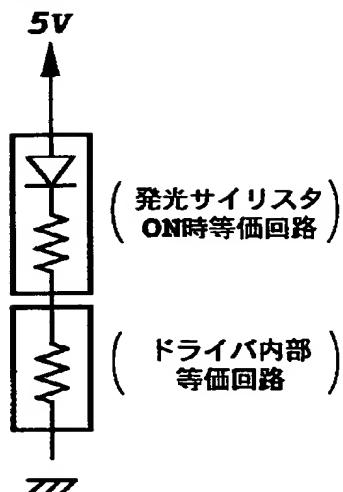
【図13】



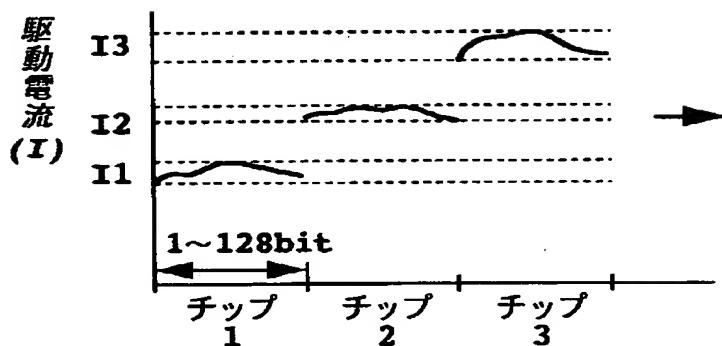
【図14】



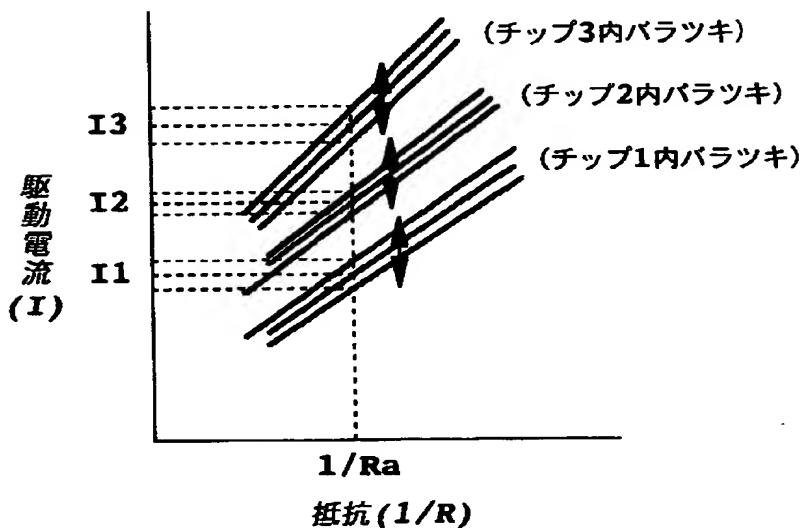
【図15】



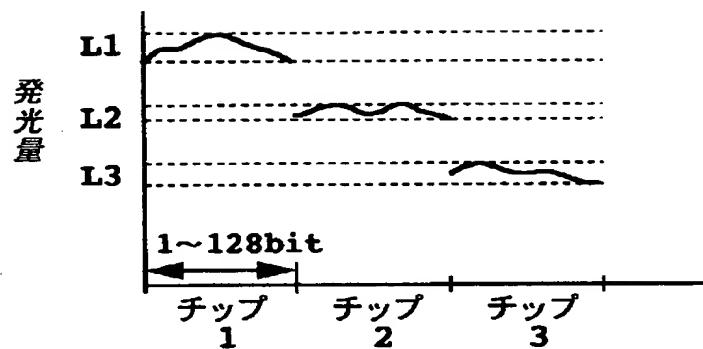
【図16】



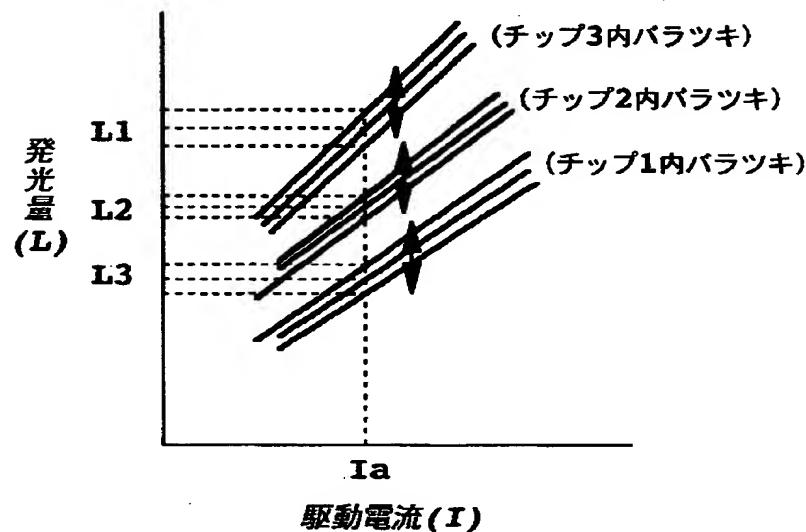
【図17】



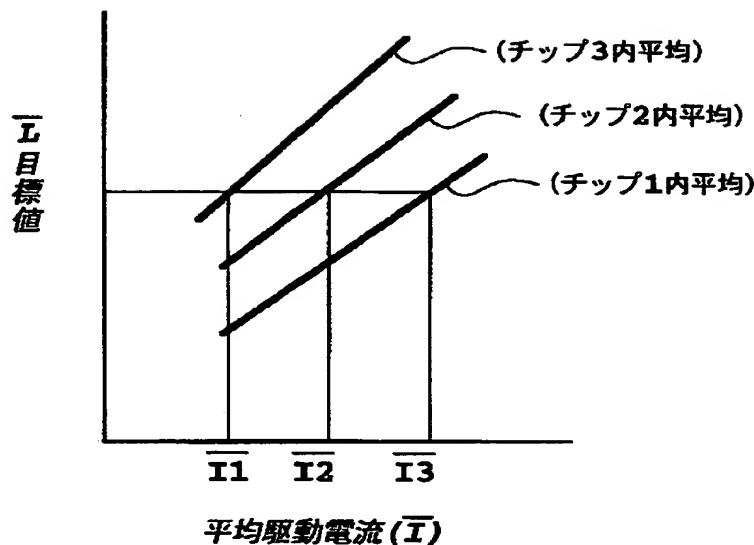
【図18】



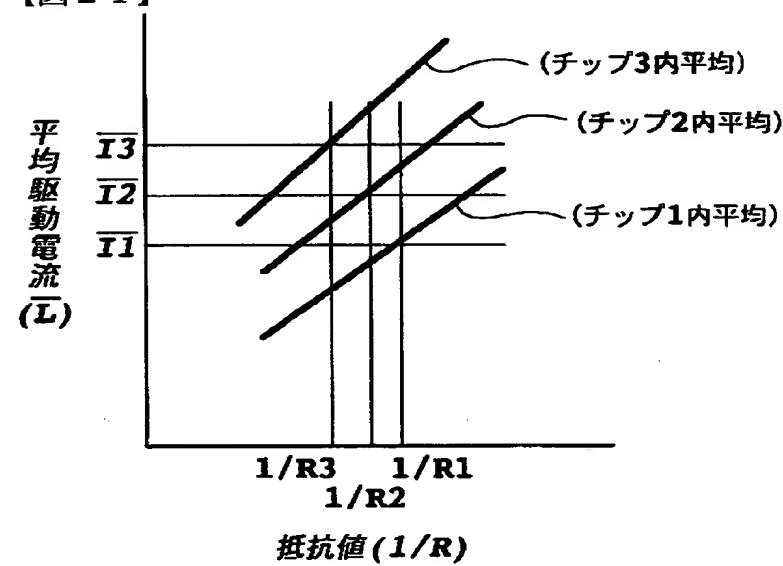
【図19】



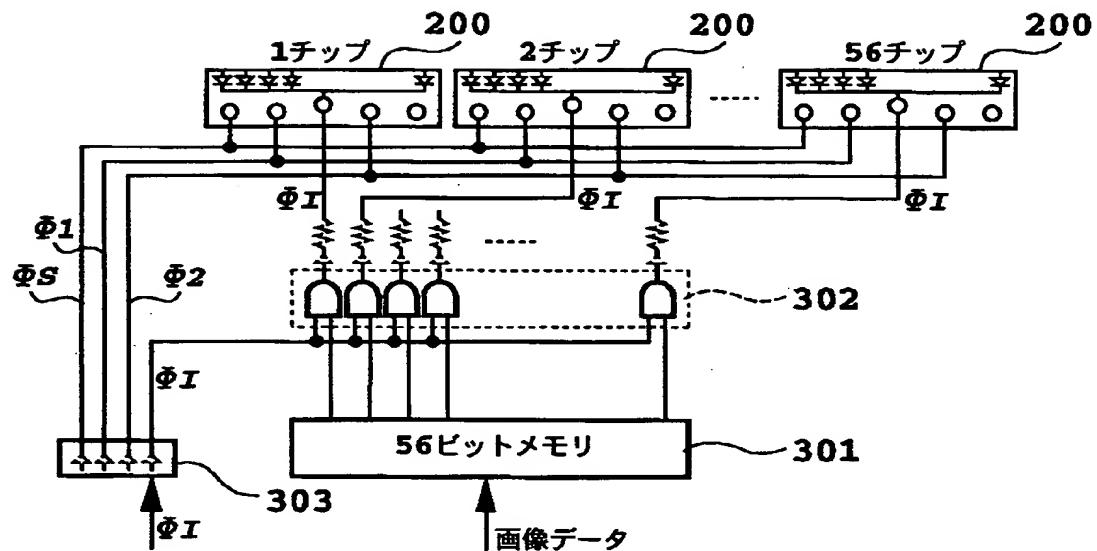
【図 20】



【図 21】

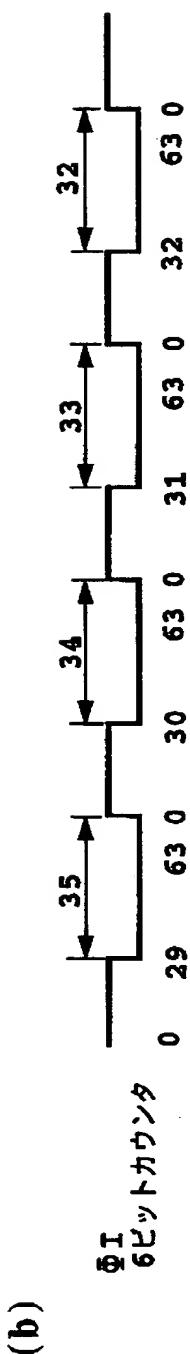


【図22】

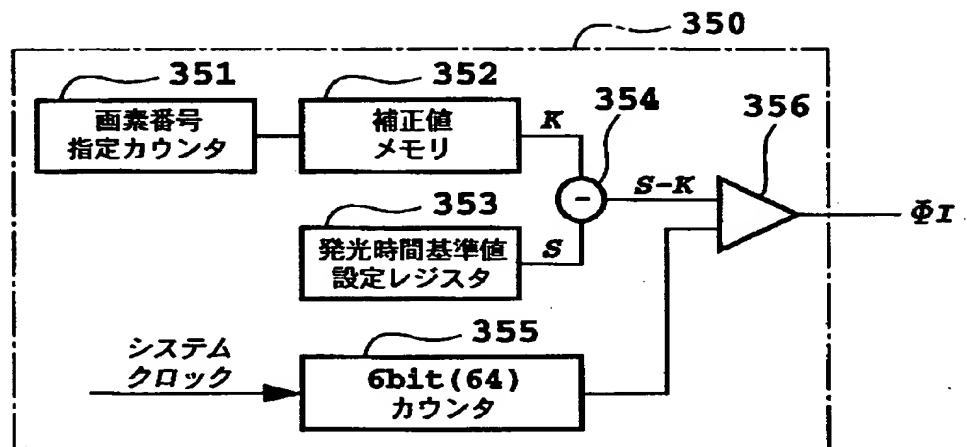


【図23】

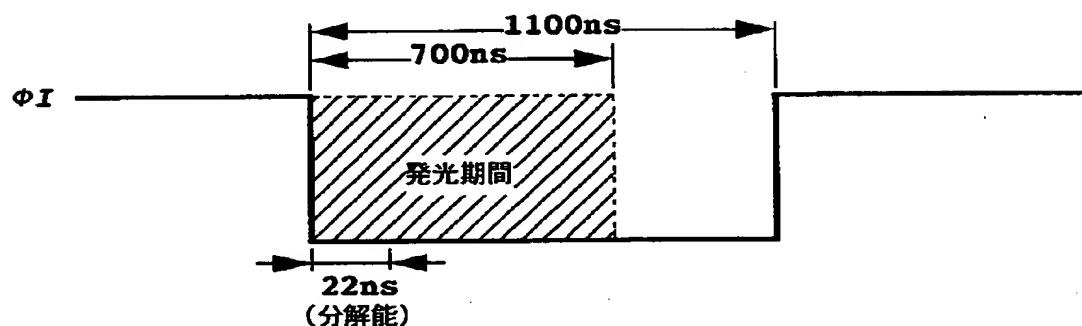
1	2	3	4	125	126	127	128
3	2	1	0	0	1	2	3
29	30	31	32	32	31	30	29
35	34	33	32	32	33	34	35



【図24】



【図25】



【書類名】 要約書

【要約】

【課題】 光量補正の分解能を高めて光量ムラを無くし、画像品質を向上させること。

【解決手段】 各発光素子の発光特性を画素単位で補正する画素補正データを複数ライン分用意し、これら複数ライン分の画素補正データに基づいて、各発光素子の発光駆動時間を変調する。

【選択図】 図1

出願人履歴情報

識別番号 [000001007]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都大田区下丸子3丁目30番2号

氏 名 キヤノン株式会社